

# 5G 時代にむけてのパッケージトレンド

## Package Trend to 5G mobile Era

西尾俊彦<sup>†</sup>

<sup>†</sup>株式会社 SBR テクノロジー  
代表取締役

### はじめに

4年後の2020年には、2015年末時点でサービス可能なLTE-A性能に対して40倍ほどの通信速度の5Gモバイル<sup>29)</sup>の運用が始まる。背景には、自動車を含むIoTデバイス接続数が2015年の5倍以上になり<sup>18)</sup>、センサーからのビッグデータのリアルタイム処理、自動運転のための情報供給、さらには多数が同時に4K以上の解像度のコンテンツのストリーミングするなどに対応する高速かつ大容量通信が必要になる。それに伴いモバイル端末のメモリーバンド幅も2019年には4倍の100GB/sを超え、Ethernetも2020年には100GbEから400GbEの時代に突入する。データセンターサーバの膨大なデータ処理能力を実現する必要があるのはいうまでもない。

本論では、図1に示す対象アプリケーションの性能要求のトレンドとそれを支えるICデバイスのパッケージ技術に着目する。ここで要求性の急速な伸びに対応するためのテクノロジーオプションからデファクトスタンダード化されるのは難しいと見る。存在するそれぞれのロードマップについてのレビューを通して、それらの課題と立ち上がりのシナリオについて議論する。アプリケーションとして自動車を含むIoTデバイスやウェアラブル端末、スマートホン（スマホ）を中心とするモバイル端末、そのデータを中継する基地局、データセンターまでを接続するネットワーク、そしてデータセンター及びHPCと関連するアプリケーション全体を見渡し、ボトルネックになる部分の可能性も含めて考察したい。



図1. 5G時代を担うアプリケーション

### サーバー

データ処理の要求が年々急激に増加し、データ処理要求はCAGR 32%<sup>4)</sup>で増加し2015年から2020年までに約4倍の性能向上が必要になる。HPCでは並列計算をより効

率的に実行させる上で、CPUがGPUをアクセラレーションプロセッサ（APU）として使用し、演算をより高速に実行させ構成を取る。近年CPUのテクノロジーノードは予定通り進化しているにもかかわらず、HPCの性能の伸びが鈍化している。GPUが必要とするメモリー帯域が不十分でデータ転送レートがボトルネックになっているからで、ワイドバンドメモリーの採用は切望されていた。その要求性能に対応するためにHMCはマイクロンが中心になって仕様が制定され<sup>5)6)</sup>、HBMはJEDECにより仕様が制定された<sup>7)</sup>。HMCはFC-BGA、HBMはGPUと共にシリコンインターポーザ搭載の2.5D構造である。

それぞれ量産準備が整いつつある中で、IBMの次世代CPUとNvidiaの次世代GPUの組み合わせで2017年に300 Peta Flopsの性能を目指しており、そこにHBMの採用が決まっている<sup>9)</sup>。また、IntelもAPUとしてAPに対して2016年の製品よりHMCの採用を表明している<sup>10)</sup>。富士通はHMCをすでに採用済みである<sup>19)</sup>。このようにHPCでは2016年からワイドバスメモリーの適用が進む。

一方でAPUとして使用されるGPUはPCやサーバーのグラフィックスカード（GC）に使用されているコアと共通になるので、GCから先に適用されるのは自然で2015年6月にはAMDより量産開始された。

データセンターにおいてもHPCと同じようにAPU（GPU）+HBMで性能を上げるという事は当然検討されたが、既存のデータセンターではすでにあらゆる熱対策を投じており、これ以上の熱の増加を許容できない状況にある。従って熱制約のもとでどのようにして性能を上げるかが重要な課題になる。

その中で、FPGAがAPUとして脚光を浴びている。すでに検索エンジン向けのサーバーに対してFPGAで処理能力により2倍以上の性能向上が報告されている<sup>11)</sup>。FPGAはデータセンターのアプリケーションに特化して処理速度を効率化する事が特長で、対象としたアプリケーションにFPGAを用いてソフトウェアをマクロ化する。このソリューションにより既存のデータセンターでの性能向上を図る。新規のデータセンターについてはアプリケーション及び熱対策を考慮してGPUによる性能向上策もオプションとして考えられる。いずれにせよ、データセンターはAPUとそれが使うワイドバンドメモリーにより発熱を抑えながらIoT時代要求にあった性能を達成しようとしている。さらにARMコアを採用したCPUがデータセンター向けに積極的な開発がされつつあり、2015年後半には製品化された<sup>23)</sup>。ARMとx86との比較ではARMの電力消費が少ない<sup>21)</sup>のでデータセンターにおける性能アップに貢献する。CPUとFPGAと接続に対してIntelはEMIB<sup>22)</sup>を想定している。また、ARMについては消費電力が少ない事からマルチCPUを2.5D構造さらに2.1D構造へのロードマップが見える。

## モバイル

2017年にメモリーのバンド幅は現在の2倍の51.2GB/s、2019年には102.8GB/sを目指す。加えてスマホの薄型化への要求からハイエンドスマホにおいてはTMV-PoPからFO-WLPへと変わろうとしている。

FO-WLPによるPoP構造は、基板が無いことでパッケージ高さがその分低くできるというメリットがある。さらに基板が無い事で熱時の変形が少ないという有利な点もある<sup>15)16)</sup>。FO-WLPのPoP構造の適用の開発が活発になっている背景はここにある。さらにPoP接続に対してCuピラー構造<sup>17)</sup>を想定しており、LPDDR4で量産化されればそのインフラからWide IO2に相当するIO数に対しても対応はできるロードマップとなっている。

現在までにFO-WLPの採用が急速に進んでなかった理由は、コストにある。ここで、FO-WLPのコストを考察する。FO-WLPではRDLが必要であるのと、また製造サイズがウエハであるので、基板の配線工程に較べて、単位面積比較では高い。基板が不要なので小さいパッケージサイズでは有利であるが、パッケージサイズに対してFC-CSPに較べてコストに敏感である。PoP用のFO-WLPはRDLが2層必要になるのでさらに単位面積あたりのコストアップになる<sup>17)</sup>。12インチ製造のFO-WLPでは15mmサイズのFC-CSPのコストに及ばない。FO-WLPを業界でリードするOSATではコストを下げるためのアプローチとして、製造サイズを大きくし、単位面積あたりのRDLコストを下げるロードマップを持つ<sup>16)17)</sup>。しかしFO-WLPがWide IOクラスのメモリーまで対応するとするとファンアウトには部分的に2/2umレベルの配線ルールも想定する必要があり、それをパネルレベルで実現できるかどうかの検討で、開発投資が停滞している。従来のロードマップではその時代はTSV-3Dであり、FO-WLPはそこまでカバーする予定では無かった事が背景にある。

## Ethernet

現在のデータセンターのEthernetの中心は40GbEで、すでに100GbEが使用され始めている。100GbEでは25Gbps信号が採用され、その実現のためには信号伝達ロス大幅に改善する必要があり、誘電正接(Df)は従来の半分ほどの材料と推定される。

2017年には400GbEの規格が制定される予定になっている。400GbEに対しては今までのシステムグレードアップの流れでは、100Gbpsが望ましいが電気信号としては現在の技術では対応できないので、最低でも50Gbpsの実現を目指す。インピーダンスの不整合部分であるPTH、BGAなどの影響がとて大きく、単にDfをさらに半分以下にしてもシステムが機能しない。パッケージの構造についてはコアレスなどはとても有効なソリューションになる。差動信号なのでPTHのピッチやBGAのピッチを小さくする事でインピーダンスの不整合を最小化するなど、今後早急な開発が必要になっている。差動信号が現在2値であるが、それを4値で動かすPAM4<sup>25)</sup>により動作周波数を1/4にできる方法などの検討が進む。

パケットバッファメモリーも400GbEで必要なメモリーバンド幅からDDR4を16個配置する必要があると推定されている<sup>24)</sup>。HBMを使用すれば2個で十分対応できる。2017年のスペックではHBMが推奨となる可能性が高い。

## 基地局

次にバックホールにおけるパッケージテクノロジーを見てみる。LTE-Aから5Gへ向けて、高周波帯域の電波

を使う事で、電波到達距離が短くなりフェムトセルやピコセルと呼ばれるスモールセル(基地局)の設置が進む。これら基地局で重要となるのがMassive MIMO(多素子アンテナ)<sup>29)</sup>技術で、ビームフォーミングにより対象とするモバイル端末に焦点を定めて通信を行う。同じ電波周波数で従来の10倍以上の距離での通信を可能にすることで、基地局の設置負担を最小化する。

企業内部においてはWiGig<sup>28)</sup>及び5G通信との共有使用としてのフェムトセル設置が急増する。WiGigの60Ghzは壁を通せない事を考えると驚くほどの設置数になることが予想される。スモールセルにおいてはRF Front endからベースバンド(BB)を経由してAP、さらにそのデータはEthernetによりバックホールネットワークに接続される。これらのパッケージはすべてFC-BGAを前提とするので、FC-BGAのマーケットの急速な拡大となる。データセンターが400GbEが開始されれば、バックホールも100GbEの時代になり、FC-BGAも新世代材料を要求される。さらに、RF-BB-APの2.1D構造はスモールセルの小型化、低コスト化から検討されるべき課題である。

## IoT及び自動車

センサーの出力を増幅するアンプとその電源、そのデータを処理するコントロールチップの組合せをできるだけ小さく一体化する技術が必要になる。その候補としては部品内臓基板パッケージあるいはFO-WLPによる3D構造が最小体積に加えて、内蔵部品の接続信頼性が高いなどから、今後ウェアラブルなどモバイル用途に加えて、自動車用のミリ波センサーなどにも有望なパッケージとされている。ただ、それぞれが現在まで主流なパッケージになっていない背景を理解する事で、逆にこのパッケージに対する課題が見える。部品内臓基板パッケージは基板製造に部品搭載を組み込むプロセスとして開発された。基板のデザインルールや部品搭載の位置精度からベアチップを搭載する事は想定せず、SoCなどアクティブICはWLP化して搭載していた。また、製造が基板メーカーなのでパッケージ後のテスターインフラが不十分でもあり、パッケージとして対応するには不十分だった。

一方FO-WLPにおける配線(RDL)はWLPプロセスの延長であり基板プロセスに比べてコスト高であった。結果としてFBGAやQFNに代表されるWBによる3D構造が使われてきた。

部品内臓パッケージもベアチップを搭載し、ファンアウトできるレベルとなった。さらに製造をOSATが担うようにもなり<sup>25)</sup>今後急激な立ち上がりが見込める。一方ですでに述べたようにFO-WLPも製造サイズを12インチWaferから基板と同じほどのサイズへと拡張する開発が進みつつある。

このような活発な開発トレンドもIoTデバイスの急速な伸びに対応しようとしており、高密度及び高信頼性化に期待できる。

## まとめ

IoT時代に突入しビッグデータ処理のためのHPCやデータセンターの性能向上に対して今後GPUやFPGAのAPUがHBMやHMCを使う事で大幅な性能向上を図る。データセンターにおいては2020年までに4倍の能力に上げる必要があり、その対策を急ぐ必要がある。熱制約の中での性能向上としてFPGAや低電力消費のARMコアなどが有力なソリューションで、それらは2.1/2.5D構造を前提としている。

モバイル用の端末ではTMV-PoP構造から薄く熱変形が

少ないパッケージの要望から FO-WLP PoP へのトレンドが明確になってきた。能要求も扱うデータ量が増える事でメモリーのデータ転送レートは 2 年ごとに倍に上げる必要があり 2019 年には Wide IO 相当のバス幅を必要とする。それに対応するロードマップを実現できる技術が生き残る。

Ethernet は 100GbE の時代に入った。2017 年には 400GbE の仕様が制定され、2020 年からは導入が開始される見込み。100GbE では低損失基板材料の導入により、なんとか 25bps 信号伝送を実現したが、400GbE に対しては最低でも 50Gbps を実現する必要があるが、パッケージ構造そのものの見直しが必要なレベルでハードルは高い。さらにバケットバッファメモリーに HBM が必要など高密度化も平行して導入の必要があり、益々基板技術が重要になる。

基地局は 5G 通信に対応するために、60Ghz クラスまでの高周波帯域を想定し、その実現は Massive MIMO とそれを実現するアンテナの高周波対応パッケージ、RF 制御及び高速データ処理に対して高周波対応の 2.0/2.1D 構造が必要となる。

自動車を含む IoT デバイスに対しては、センサー、データ処理及びデータ転送部を高密度で実現する部品内臓基板パッケージや 3D 構造 FO-WLP の適用が急速に増える見込みで、テストまで含めた低コストインフラの構築が急務である、

## 文 献

- 1) Solid Technology News:  
<http://electroiq.com/blog/2012/12/lifting-the-veil-on-silicon-interposer-pricing/>, Dec 2012
- 2) S.W. Yoon, Yaojian Lin and Pandi C. Marimuthu: Thin SiP and 3D eWLB (embedded Wafer Level BGA) Technology for Advanced Packaging, ICEP 2012, Apr. 2012
- 3) Toshihiko Nishio: 41rd Internecon Technical Conference, Jan'18, 2012
- 4) Cisco White Paper :  
[http://www.cisco.com/c/en/us/solutions/collateral/service-provider/global-cloud-index-gci/Cloud\\_Index\\_White\\_Paper.pdf](http://www.cisco.com/c/en/us/solutions/collateral/service-provider/global-cloud-index-gci/Cloud_Index_White_Paper.pdf), Cisco Global Cloud Index, 2013–2018; Juniper Research, Oct, 2013
- 5) Hybrid Memory Cube Specification 1.0 : 2013
- 6) Hybrid Memory Cube Specification 2.0 : 2014
- 7) JEDEC Spec: High Bandwidth Memory (HBM) DRAM, JESD235, 2013
- 8) Semiconductor Manufacturing & Design News:  
<http://semimd.com/blog/tag/amkor-technology/>, Dec 2013
- 9) Nvidia White Paper : “Su m mit and Sierra Supercomputers: An Inside Look at the U.S. Department of Energy’s New Pre-Exascale Systems”, Nov. 2014
- 10) Intel @ ISC'14 (JUN'14):  
<https://software.intel.com/sites/default/files/managed/e9/b5/Knights-Corner-is-your-path-to-Knights-Landing.pdf>
- 11) Andrew Putnam et all: A Reconfigurable Fabric for Accelerating Large-Scale Datacenter Services,, 41st Annual International Symposium on Computer Architecture (ISCA), 2014
- 12) JS Choi: Understanding DDR4 and Today’s DRAM Frontier, MemCon 2014, Oct 2014
- 13) JEDEC Spec: WodeIO2, JESD229-2, Aug. 2014

- 14) Toshihiko Nishio: 43rd Internecon Technical Conference, Jan'14, 2014
- 15) Toshihiko Nishio: Inemi workshop in Toyama, May'14
- 16) 西尾俊彦: 2.5D/3D パッケージへの要求トレンドに対する先端テクノロジーのレビュー、JIEP 次世代配線板研究会公開研究会、2015 年 2 月 2 日
- 17) 西尾俊彦: 3D実装は、本当にあるのか？ 最新の動向を徹底解説！、JIEP システムインテグレーション研究会公開研究会、2015 年 2 月 19 日
- 18) Gartner:  
<http://www.gartner.com/newsroom/id/2905717>
- 19) “FUJITSU Supercomputer PRIMEHPC FX100 次世代技術への進化”, 富士通ホワイトペーパー、
- 20) <http://www.fujitsu.com/downloads/JP/archive/imgj/p/jhpc/primehpc/primehpc-fx100-hard-ja.pdf>
- 21) Linley Gwennap, “THUNDERX RATTLES SERVER MARKET Cavium Develops 48-Core ARM Processor to Challenge Xeon”, Linley Group Market Report , June 9, 2014,  
[http://www.cavium.com/pdfFiles/ThunderX\\_Rattles\\_Server\\_Market.pdf](http://www.cavium.com/pdfFiles/ThunderX_Rattles_Server_Market.pdf)
- 22) 後藤弘茂: 超広帯域メモリの採用を可能にする Intel の新パッケージング技術「EMIB」, 後藤弘茂の Weekly 海外ニュース、2015 年 2 月 3 日、
- 23) GIGABYTE announces 384 Core 2U server powered by Cavium ThunderX ARMv8 processors, Cavium news letter, Jun 1, 2015
- 24) Michael Sporer: Memories for Extreme Networking, Memocon 2014
- 25) ASE 社と TDK の IC 内蔵基板製造事業合弁契約の締結に関するお知らせ, TDK プレスリリース、2015 年 5 月 8 日
- 26) “5G の大容量を実現する超多素子アンテナ”, 日経エレクトロニクス 2015 年 12 月号
- 27) Ed Frlan, “56 Gbps Serial – Why, What, When”, OIF Panel Session at 2014 OFC
- 28) WiGig: <https://ja.wikipedia.org/wiki/WiGig>
- 29) DOCOMO 5G モバイルホワイトペーパー:  
[https://www.nttdocomo.co.jp/binary/pdf/corporate/technology/whitepaper\\_5g/DOCOMO\\_5G\\_White\\_PaperJP\\_20141006.pdf](https://www.nttdocomo.co.jp/binary/pdf/corporate/technology/whitepaper_5g/DOCOMO_5G_White_PaperJP_20141006.pdf)

HBM(High Band Memory)  
C2 (direct Chip Connection to substrate pads or lines)  
OSAT (Outsourced Semiconductor Assembly and Test)  
HPC (High Performance Computing)  
GPU (Graphics Processing Unit)  
HMC (Hybrid Memory Cube)  
TMV-PoP (Through Mold Via – Package on Package)  
LPDDR (Low-Power Double Data Rate SDRAM)  
FPGA (field Programmable Gate Array)  
FO-WLP(Fan-Out – Wafer Level Package)  
Massive MIMO (Massive Multi In Multi Out)

連絡先 :

〒124-0014

東京都葛飾区東四つ木 3-2-12

株式会社 SBR テクノロジー

代表取締役 西尾俊彦

Te1:090-1145-0526

[toshihiko.nishio@sbr.technology](mailto:toshihiko.nishio@sbr.technology)

